

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332355

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01S 5/183

(21)Application number : 11-142370

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 21.05.1999

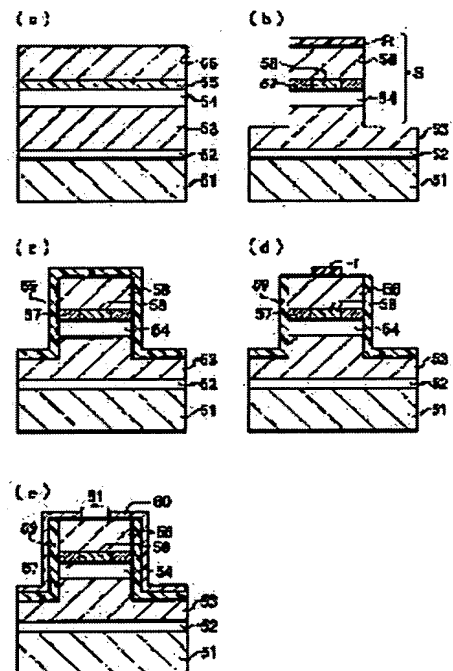
(72)Inventor : YOSHIKAWA MASAHIRO
NAKAYAMA HIDEO
OTOMA HIROKI

(54) SURFACE EMISSION SEMICONDUCTOR LASER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface emission semiconductor laser which is easily fabricated and has a basic transverse mode optical output with high brightness.

SOLUTION: This surface emission semiconductor laser is provided with a semiconductor substrate 51, a lower multilayer film reflecting mirror 53, an active layer region 54 and an upper multilayer film reflecting mirror 55 successively laminated on the semiconductor substrate 51, an upper electrode 60 which is a layer on the upper multilayer film reflecting mirror 55 and composed of a metal material provided in the periphery of the laser beam emission center so as to surround an aperture 61, and a current narrowing section formed as a non-oxidation region 58. In this case, the reflectance of the multilayer film reflecting mirror 55 in the periphery of the emission center provided with the upper electrode 60 is made lower than the reflectance of the multilayer film reflecting mirror 55 in the emission center. Depending on the degree of reduction of the reflectance, the diameter of the aperture 61 is made larger than the diameter of the non-oxidation region 58.



LEGAL STATUS

[Date of request for examination]

24.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-332355

(P2000-332355A)

(43) 公開日 平成12年11月30日 (2000.11.30)

(51) Int.Cl.⁷

H 0 1 S 5/183

識別記号

F I

H 0 1 S 3/18

テームト* (参考)

6 5 2

5 F 0 7 3

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平11-142370

(22) 出願日 平成11年5月21日 (1999.5.21)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 吉川 昌宏

神奈川県足柄上郡中井町境430 グリーン

テクノカい 富士ゼロックス株式会社内

(72) 発明者 中山 秀生

神奈川県足柄上郡中井町境430 グリーン

テクノカい 富士ゼロックス株式会社内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

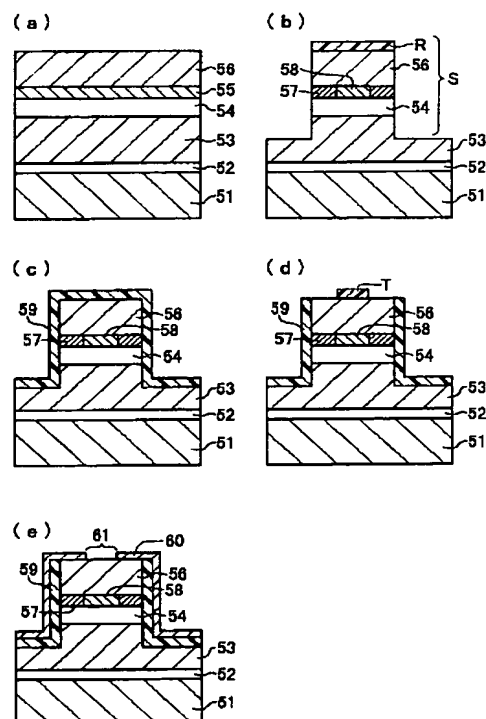
最終頁に続く

(54) 【発明の名称】 面発光型半導体レーザ

(57) 【要約】

【課題】 製造が容易で、高輝度基本横モード光出力を有する面発光型半導体レーザを提供する。

【解決手段】 半導体基板51と、該半導体基板51上に順次積層された下部多層膜反射鏡53、活性層領域54、及び上部多層膜反射鏡55と、該上部多層膜反射鏡55の上層であってレーザ光の出射中心の周辺部に開口部61を取り囲むように設けられた金属材料からなる上部電極60と、非酸化領域58として形成された電流狭窄部と、を備えた面発光型半導体レーザにおいて、前記上部電極60が設けられた出射中心の周辺部の多層膜反射鏡55の反射率が、出射中心の多層膜反射鏡55の反射率よりも低くなるようにし、該反射率の低下の程度に応じ、前記開口部61の径を非酸化領域58の径より大きくする。



【特許請求の範囲】

【請求項 1】 上部に、下部多層膜反射鏡、活性層領域、及び上部多層膜反射鏡が順次積層され、下部に、下部電極が設けられた半導体基板と、
該上部多層膜反射鏡の上層であって前記活性層領域で発生したレーザ光の出射中心の周辺部に射出部を取り囲むように設けられ、前記下部電極と対をなし前記活性層領域に電流注入するための金属材料からなる上部電極と、
前記上部電極と前記下部電極との間に設けられ、電流回路の周縁部を絶縁化して形成された電流狭窄部と、を備え、
その上部に前記上部電極が設けられた射出中心の周辺部の多層膜反射鏡の反射率が、射出中心の多層膜反射鏡の反射率よりも低くなるようにし、該反射率の低下の程度に応じ、前記射出部の径を前記電流狭窄部の径より大きくする度合いを大きくしたことを特徴とする面発光型半導体レーザ。

【請求項 2】 前記上部電極を、Au、Pt、Ti、Ge、Zn、Ni、In、及びWから選択される金属材料を2種以上積層して形成したことを特徴とする請求項 1 に記載の面発光型半導体レーザ。

【請求項 3】 前記上部電極を、金属材料を蒸着して蒸着膜を形成した後、250～500℃の温度範囲でアニールを行い、該蒸着膜とこれに隣接する層との間でアロイ化を進行させることにより形成したことを特徴とする請求項 1 に記載の面発光型半導体レーザ。

【請求項 4】 前記上部電極を、Au、Pt、Ti、Ge、Zn、Ni、In、及びWから選択される少なくとも1種の金属材料を蒸着して蒸着膜を形成した後、250～500℃の温度範囲でアニールを行い、該蒸着膜とこれに隣接する層との間でアロイ化を進行させることにより形成したことを特徴とする請求項 1 に記載の面発光型半導体レーザ。

【請求項 5】 前記アニールを、300～400℃の温度範囲で行うことを特徴とする請求項 3 または 4 に記載の面発光型半導体レーザ。

【請求項 6】 前記アニールを、赤外線によるフラッシュアニール、レーザアニール、高周波加熱、電子ビームによるアニール、及びランプ加熱によるアニールから選択されるいずれかの方法により行うことを特徴とする請求項 3 から 5 までのいずれか 1 項に記載の面発光型半導体レーザ。

【請求項 7】 前記射出中心の周辺部の多層膜反射鏡の反射率が、80%以下であることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載の面発光型半導体レーザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、面発光型半導体レ

ーザに関し、詳しくは、高輝度基本横モード光出力を有する面発光型半導体レーザに関する。

【0002】

【従来の技術】 垂直共振器型面発光レーザ (Vertical Cavity Surface Emitting Laser、以下「VCSEL」ともいう。) は、端面発光型レーザに比べて、製造コストが低いこと、製造の歩留まりが高いこと、2次元アレイ化が容易なこと、などの多くの利点を有していることから、近年、多くの用途にこれを使用することが検討されている。

【0003】 例えば、Kenichi Iga, Fumio Koyama and Susumu Kinoshita, "Surface Emitting Semiconductor Lasers", IEEE Journal of Quantum Electronics, 1988, 24, pp.1845-1855 には、VCSEL の構造、レーザ特性、用途等が説明されている。現在においては、そのレーザ特性は大きく改善され、光通信などの分野では、実用化に至っている。

【0004】 しかし、従来の VCSEL は、基本横モード光出力がいまだ小さく、せいぜい 2～3mW 程度であり、そのため用途が限定されている。VCSEL の基本横モード光出力が増大して、例えば 5mW 以上となれば、レーザビームプリンタ等の画像書き込み装置や、光磁気ディスク装置等にも、VCSEL を使用することが可能となる。

【0005】 特開平 10-56233 号公報には、高輝度基本横モード光出力を有する VCSEL が提案されている。この提案では、基本横モード光出力の高出力化を、基本横モード以外に副次的に発生する高次横モードのレーザ発振条件を選択的に抑制することにより実現している。すなわち、VCSEL における基本横モード発振は光導波路の中心 (光軸に近接して) に生じ、高次横モード発振は光軸から離れた遠隔の位置において生じることから、光軸からの離間距離が増大するに従って共振器の光学損失を漸進的に増大させ、それによって注入電流値を増やしながら多モード発振への移行を抑え、基本横モード光出力の増加を可能にしている。

【0006】 具体的に説明すると、この VCSEL は、図 8 に示すように、導電型半導体基板 171 と、下部 DBR 層 172 と、下部 DBR 層 172 とは逆の伝導モードを有する上部 DBR 層 174 と、下部 DBR 層 172 と上部 DBR 層 174 の間に挟まれた活性層領域 173 と、イオン打ち込み等により形成した低反射率ゾーン 175 と、損失決定素子 176 と、電極 177 及び 178 とにより構成され、光軸 179 に沿ってレーザ光が射出される。

【0007】 損失決定素子 176 は、光軸 179 と直交する方向において光軸 179 からの距離が増大するに従って共振器の光学損失を漸進的に増大させるために、凹状の形状に加工されている。この凹状の形状の損失決定素子 176 は、共振器のレーザ光を屈折する作用と、

共振器のレーザ光を側方に拡散させるか、または焦点をずらす作用の両方を有する。したがって、この損失決定素子176により、光軸179と直交する方向における光軸179からの距離が増大するのに従って屈折損失が増大し、共振器の光学損失が大きくなる。一方、このVCSELにおける基本横モード発振は光軸179に近接して生じ、高次横モード発振は光軸179から離間した遠隔の位置において生じる。

【0008】その結果、高次横モードに関して共振器の光学損失が増大し、高次横モードのレーザ発振の開始に必要なとされるしきい値電流密度が増大し、最大基本横モード光出力が増大することになる。

【0009】

【発明が解決しようとする課題】以上のように、特開平10-56233号公報に開示された技術によれば、原理的には基本横モードの高出力化が可能となる。しかし、同時に、基本横モード特性にも悪影響を与えること、所定の形状の損失決定素子176を安定に形成することが著しく困難であること、等の問題を有している。

【0010】すなわち、特開平10-56233号公報に開示された技術では、上述したように、VCSELにおける基本横モード発振は光導波路の中心（光軸に近接して）に生じ、高次横モード発振は光軸から離間した遠隔の位置において生じることを利用して、共振器の反射率をその中央から周辺に向かうに従って漸進的に減少させ、すなわち、光学損失を漸進的に増大させ、そのことによって高次横モードのレーザ発振を抑制している。

【0011】一方、伊賀健一、小山二三夫著“面発光レーザ”（オーム社、1990）にも説明されているように、VCSELは、一般に、活性領域が小さいため、共振器には高い反射率が必要とされる。実際に、現在研究されているVCSELの共振器は、99%以上の反射率を有している。逆に、共振器の反射率が低いと、しきい値電流密度が上がり、レーザ発振が起こりにくくなる。

【0012】ところが、特開平10-56233号公報に開示された技術では、光軸179から少しでも離間した位置では、共振器の反射率が低下する構造となっており、高次横モードのレーザ発振を抑制するのみならず、基本横モードのレーザ発振も同時に抑制され、結果的には、十分な高輝度基本横モード光出力を得ることができない問題がある。

【0013】また、損失決定素子176は、図8に示したように凹状の形状とするか、または凸状の形状とすることにより、湾曲した表面を有することを特徴としている。したがって、損失決定素子176の形状を作製する方法は重要であって、特開平10-56233号には詳細に説明されている。

【0014】その一例を簡単に説明すると、図9(a)に示すように、湾曲表面を形成しようとする層181の表面にフォトリソ182を塗布する。次に、図9

(b)に示すように、通常の露光、現像、ベーク工程を用いて円筒形フォトリソ183を形成する。このフォトリソ183を、約5~20分にわたって、約250~300℃の温度で加熱すると、図9(c)に示すように、凸状の湾曲面を有する形状の層184に変形する。この層184を室温に戻した後も、その凸状の湾曲面の形状を安定に保持している。

【0015】次に、上方から反応性イオンエッチング(RIE)を用いて、ドライエッチングを施すと、層184がエッチングマスクとして作用して、その形状を反映する結果、図9(d)に示すように、凸状の湾曲面を有する構造185が形成される。

【0016】以上、凸状の湾曲面を有する構造を形成する方法について説明したが、層181上の中央部ではなくて、その周辺部にフォトリソ183を設けるようにすれば、層181上の中央部に凹状の湾曲面を有する構造を形成することができる。

【0017】しかし、エッチングマスクとして作用する層184の形状は、所定の位置において所定の湾曲面を有することが必要とされるが、この湾曲面がいつも同じになるように、再現性よく、また、位置依存性なく、形成することは、現在のエッチング技術によっても相当に困難である。特に、VCSEL素子を多数設けて二次元アレイ化するような場合には、この問題が顕著となる。

【0018】さらに、所定の湾曲面を有する形状と所定の膜厚を有する損失決定素子176を形成するために、RIE工程においてエッチングマスクとして作用する層184の消失時点または消失後において、適切な位置でエッチングを終了することは著しく困難である。

【0019】また、VCSEL素子を多数設けて二次元アレイ化するような場合には、同一基板上、または異なる基板上において、フォトリソ183と損失決定素子176を構成している材料間でエッチング選択比を高精度に制御することは非常に困難であり、そのため、各VCSEL素子間で損失決定素子176の反射率特性を揃えることはきわめて困難である。

【0020】以上のように、損失決定素子176の形状や膜厚を、同一基板上の各VCSEL素子間で、または異なる基板上の各VCSEL素子間で、あるいはプロセスのロットが異なる各VCSEL素子間で、バラツキをなくすこと、あるいはバラツキを小さくすることは、きわめて困難である。

【0021】一方、損失決定素子176の凹状の湾曲面の形状を利用して、光軸179から離間するに従って共振器の光学損失を漸進的に増大させ、それによって注入電流値を増大させて、高次横モードのレーザ発振への移行を抑制し、基本横モードのレーザ発振を可能としているので、損失決定素子176の凹状の湾曲面の形状が異なれば、高次横モードのレーザ発振へ移行するVCSELの光出力値、すなわち、基本横モードの最大光出力値

が異なってくる。その結果、同一基板上の各VCSEL素子間で、または異なる基板上の各VCSEL素子間で、あるいはプロセスのロットが異なる各VCSEL素子間で、各VCSEL素子の基本横モードの最大光出力値が異なることとなり、高輝度基本横モード光出力が要求される用途に対しては、特開平10-56233号公報に開示された技術を工業的に利用することは困難である。

【0022】従って、本発明の目的は、製造が容易で、高輝度基本横モード光出力を有する面発光型半導体レーザを提供することにある。

【0023】

【課題を解決するための手段】本発明者等は、鋭意検討の結果、下記的手段により、基本横モード発振に悪影響を与えることなく、面発光型半導体レーザを高輝度で発振させることができることを見出し、本発明を完成するに至った。

【0024】すなわち、本発明の面発光型半導体レーザは、上部に、下部多層膜反射鏡、活性層領域、及び上部多層膜反射鏡が順次積層され、下部に、下部電極が設けられた半導体基板と、該上部多層膜反射鏡の上層であって前記活性層領域で発生したレーザ光の出射中心の周辺部に射出口部を取り囲むように設けられ、前記下部電極と対をなし前記活性層領域に電流注入するための金属材料からなる上部電極と、前記上部電極と前記下部電極との間に設けられ、電流流路の周縁部を絶縁化して形成された電流狭窄部と、を備え、その上部に前記上部電極が設けられた出射中心の周辺部の多層膜反射鏡の反射率が、出射中心の多層膜反射鏡の反射率よりも低くなるようにし、該反射率の低下の程度に応じ、前記射出口部の径を前記電流狭窄部の径より大きくする度合いを大きくしたことを特徴とする。

【0025】上部電極を設けることにより、出射中心の周辺部の多層膜反射鏡の反射率が、出射中心の多層膜反射鏡の反射率よりも低くなるようにする方法としては、以下の方法がある。

(1) 前記上部電極を、Au、Pt、Ti、Ge、Zn、Ni、In、及びWから選択される金属材料を2種以上積層して形成する方法。

(2) 前記上部電極を、金属材料を蒸着して蒸着膜を形成した後、250～500℃の温度範囲でアニールを行い、該蒸着膜とこれに隣接する層との間でアロイ化を進行させることにより形成する方法。

(3) 前記上部電極を、Au、Pt、Ti、Ge、Zn、Ni、In、及びWから選択される少なくとも1種の金属材料を蒸着して蒸着膜を形成した後、250～500℃の温度範囲でアニールを行い、該蒸着膜とこれに隣接する層との間でアロイ化を進行させることにより形成する方法。

【0026】アロイ化のためのアニールは、300～4

00℃の温度範囲で行うことがより好ましく、アニールは、赤外線によるフラッシュアニール、レーザアニール、高周波加熱、電子ビームによるアニール、及びランプ加熱によるアニールから選択されるいずれかの方法により行うことが好ましい。

【0027】本発明の面発光型半導体レーザにおいては、上記の上部電極を設けることにより、前記出射中心の周辺部の多層膜反射鏡の反射率が80%以下となるようにすることが好ましく、60%以下とすることがより好ましい。

【0028】本発明は、上部電極に用いる金属材料の構成やアニール条件等を変えることにより、電極が設けられる出射中心の周辺部において、多層膜反射鏡の反射率を大きく低下させることができ、反射率がある程度低下した場合には、射出口径（以下、「上部電極アパーチャ径」とも称する）を、前記電流狭窄部の径（以下、「電流狭窄アパーチャ径」とも称する）より大きくした方が、少ない基本横モードの損失で、高次横モードを抑制することができるという知見に基づきなされたものである。

【0029】図1は、電流狭窄アパーチャ径を3.5μmと一定にしたVCSELにおいて、出射中心の周辺部の多層膜反射鏡の反射率を99%から70%まで低下させた場合の上部電極アパーチャ径、基本横モードの損失、及び高次横モードの損失の関係を示すグラフである。横軸は上部電極アパーチャ径である。一方、縦軸は高次横モードの損失と基本横モードの損失との差を基本横モードの損失で除算した値であり、この除算値が大きい方が、少ない基本横モードの損失で高次横モードが抑制されている。

【0030】図1から分かるように、出射中心の周辺部の多層膜反射鏡の反射率が99%と高い場合には、上部電極アパーチャ径の大小に拘らず基本横モードの損失が大きい。一方、出射中心の周辺部の多層膜反射鏡の反射率が95%、90%、、、、75%と低下するに従い、基本横モードの損失は相対的に減少し、かつ、前記除算値を示す曲線は上部電極アパーチャ径に対して上に凸の放物線を描き、上部電極アパーチャ径が電流狭窄アパーチャ径よりも数%から数十%大きくなる一定範囲の上部電極アパーチャ径で最大値を有するようになる。即ち、一定範囲の上部電極アパーチャ径で基本横モードの損失が最小となるようになる。

【0031】従って、出射中心の周辺部における多層膜反射鏡の反射率低下の程度に応じ、電流狭窄アパーチャ径に対して上部電極アパーチャ径を大きくすると、少ない基本横モードの損失で高次横モードが抑制されるようになる。

【0032】出射中心における多層膜反射鏡の反射率は通常99%以上である。これに対し、基本横モードの損失を低減するためには、出射中心の周辺部における多層

膜反射鏡の反射率を80%以下にまで低下させるのが好ましく、60%以下とするのがより好ましい。

【0033】GaAs基板上に、Auを蒸着した後、アニール温度を370℃としてアロイ化を行い、白色光をGaAs側からAu/GaAs界面へ入射させて反射強度変化を調べた。結果を図2に示す。図2から分かるように、アロイ化を行うことによって反射率は大きく低下する。このように、Auを蒸着後に適当な温度でアニール処理を行うことによって、Au/GaAs界面のGaAs側からの反射率を大きく変化させることができる。

【0034】従って、前記コンタクト層に上部電極を形成する際に、金属材料を蒸着した後、250～500℃の温度範囲でアニールを行い、前記コンタクト層との間でアロイ化を進行させて金属電極を形成することにより、出射口の中央領域に比べその周辺部の多層膜反射鏡の反射率を大きく低下させることができる。この反射率低下の度合いに応じて、上部電極アパーチャ径を電流狭窄アパーチャ径よりも数%から数十%大きくすることによって、VCSELの基本横モードの出力を大きくすることができる。

【0035】次に、GaAs基板上にAuを蒸着したサンプルと、GaAs基板上にAu/Tiを蒸着したサンプルとを作製し、白色光をGaAs側からAu/GaAs界面、Au/Ti/GaAs界面へそれぞれ入射させて、所定の波長領域での反射強度のアニール温度依存性を調べた。結果を図3に示す。図3から分かるように、Au/GaAs界面にTiの層を挿入することによって、Au/Ti/GaAs界面のGaAs側からの反射率を大きく変化させることができる。このように、金属膜を二つ以上の金属から構成することによって、金属/GaAs界面のGaAs側からの反射率を大きく変化させることができる。

【0036】従って、前記コンタクト層に上部電極を形成する際に、二つ以上の金属材料を使用して金属電極を形成することにより、出射口の中央領域に比べその周辺部の多層膜反射鏡の反射率を大きく低下させることができる。この反射率低下の度合いに応じて、上部電極アパーチャ径を電流狭窄アパーチャ径よりも数%から数十%大きくすることによって、VCSELの基本横モードの出力を大きくすることができる。

【0037】次に、GaAs基板上に、Au/Tiを蒸着した後、アニール温度を370℃としてアロイ化を行い、白色光をGaAs側からAu/GaAs界面へ入射させて、所定の波長領域での反射強度変化を調べた。結果を図4に示す。図4から分かるように、アロイ化を行うことによって、Au/Ti/GaAs界面の反射率を4割ほど低下させることができる。このように、二つ以上の金属から構成される金属/GaAs界面に、更に、アニール処理を行うことにより、金属/GaAs界面のGaAs側からの反射率を大きく変化させることができ

る。

【0038】従って、前記コンタクト層に上部電極を形成する際に、二つ以上の金属材料を使用して、さらにこの金属材料を蒸着した後、250～500℃の温度範囲でアニールを行い、前記コンタクト層との間でアロイ化を進行させて金属電極を形成することにより、出射口の中央領域に比べその周辺部の多層膜反射鏡の反射率を大きく低下させることができる。この反射率低下の度合いに応じて、上部電極アパーチャ径を電流狭窄アパーチャ径よりも数%から数十%大きくすることによって、VCSELの基本横モードの出力を大きくすることができる。

【0039】以上説明してきたように、本発明の面発光型半導体レーザによれば、基本横モード発振の特性を損なうことなく、副次的に発生する高次横モードのレーザ発振条件を選択的に抑制することができ、基本横モード出力を高めることができる。

【0040】また、特殊形状の反射率低下構造を設けることなく出射領域の周辺部における反射率を低下させることができ、製造が容易である。

【0041】

【発明の実施の形態】以下、本発明を具体的な実施の形態に基づき、詳細に説明する。

（第1の実施形態）本発明の第1の実施形態に係る面発光型半導体レーザの構造を図5（e）に示す。本実施形態では、上部DBRミラー上にアロイ化により膜厚200nmのAuからなる金属電極がp側電極として形成されている。以下、本実施形態に係る面発光型半導体レーザの構造を製造方法に従って説明する。

【0042】まず、図5（a）に示すように、有機金属気相成長（MOCVD）法により、n型GaAs基板51上に、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 膜厚0.2μm程度のn型GaAsバッファ層52を積層し、その上に、 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ と $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ とをそれぞれの膜厚が媒質内波長の1/4となるように交互に40.5周期積層した $1 \times 10^{18} \text{ cm}^{-3}$ で総膜厚が約4μm、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ となる下部n型DBR層53、アンドープ下部 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ スペーサー層とアンドープ量子井戸活性層（膜厚90nm $\text{Al}_{0.11}\text{Ga}_{0.89}\text{As}$ 量子井戸層3層と膜厚50nm $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 障壁層4層とで構成されている）とアンドープ上部 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ スペーサー層とで構成された膜厚が媒質内波長となる活性層領域54、その上に、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ で膜厚が媒質内波長の1/4となるp型 AlAs 層55、その上に $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ と $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ とをそれぞれの膜厚が媒質内波長の1/4となるように交互に29.5周期積層したキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ で総膜厚が約2μmとなる上部p型DBR層56を順次積層する。

【0043】ここで、図示しないが、キャリア濃度 $1 \times$

10^{19} cm^{-3} となる膜厚 10 nm 程の p 型 GaAs コンタクト層を最上部に積層しても良い。また、詳しくは述べないが、DBR層の電氣的抵抗を下げるために $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ と $\text{Al}_{0.3}\text{Ga}_{0.1}\text{As}$ の界面に Al 組成を 90% から 30% に段階的に変化させた膜厚が 9 nm 程度の領域を設けることも可能である。

【0044】ここで原料ガスとしては、トリメチルガリウム、トリメチルアルミニウム、トリメチルインジウム、アルシン、フォスフィン、ドーパント材料としては p 型用にシクロペンタジニウムマグネシウム、 n 型用にセレン化水素またはシランを用い、成長時の基板温度は 750°C とし、真空を破ることなく、原料ガスを順次変化し、連続して成膜をおこなった。

【0045】続いて、図5(b)に示すように、フォトリソグラフィにより結晶成長層上にレジストマスクRを形成し、四塩化炭素をエッチングガスとしてもちいた反応性イオンエッチングにより下部 n 型DBR層53の途中までエッチングし、径 $30 \mu\text{m}$ 程度の円柱もしくは角柱の半導体柱s(ポスト)を形成する。

【0046】その後、約 400°C の炉中で水蒸気により p 型 AlAs 層55だけを側方から酸化し、高抵抗化した酸化領域57を形成し、電流狭窄構造を作製する。この時、酸化されずに残された非酸化領域58が電流注入領域となり、電流狭窄アパーチャ径は約 $3.5 \mu\text{m}$ である。なお、電流狭窄アパーチャ径を赤外線顕微鏡などを用いて測定する。

【0047】レジストRを除去した後、図5(c)に示すように、プラズマCVD装置を用いて SiN 膜59を蒸着した後、通常フォトリソ工程とバッファーフッ酸を用いた SiN 膜のエッチングにより、ポスト上部の SiN 膜59を除去する。

【0048】その後、図5(d)に示すように、フォトリソ工程を用いてポスト上部中央に、 $4.3 \mu\text{m}$ (電流狭窄アパーチャ径 $3.5 \mu\text{m}$) 径のレジストパターンTを形成し、その上方からEB蒸着機を用いて、 Au を 200 nm の厚さで蒸着し、その後、アニール温度 370°C で10分間アニールを行うことにより、 p 側電極60を形成する。 p 側電極60の下上部多層膜反射鏡の反射率は 85% であった。

【0049】最後に、アセトンを用いて、レジストパターンTを除去する。この時、レジストパターンT上の Au は取り除かれ、レジストパターンによって調整された上部電極アパーチャ径を持ったレーザの射出領域である開口部61が形成され、図5(e)に示すVCSELが完成する。上部電極下の上部多層膜反射鏡の反射率は、最後のアニール条件に依存して変化し、その径は電流狭窄アパーチャ径よりも数%から数十%大きいものである。また、図示していないが、基板裏面には、 n 側電極として Au/Ge が蒸着されている。

【0050】本実施形態に係るVCSELにおいては、

ポスト中央部出口下の上部多層膜反射鏡の反射率は高いが、 p 型電極下はアロイ化によって反射率が低くなる。その反射率差に応じて、電流狭窄アパーチャ径と上部電極アパーチャ径とを調整することによって、高次横モード発振が抑制される。

【0051】従って、従来のVCSELでは、反射率が周辺に行くに従い漸進的に減少する方式であるため、基本横モードを得るために電流狭窄アパーチャ径を $3 \mu\text{m}$ 以下とする必要があったが、本発明によれば、電流狭窄アパーチャ径がそれ以上となっても基本横モードによるレーザ発振が可能で、高輝度基本横モード光出力を得ることができる。

【0052】第1の実施形態で説明したVCSELの基本横モードのレーザ発振および高次モードのレーザ発振と、図8に示す従来のVCSELとについて、基本横モードのレーザ発振および高次モードのレーザ発振を調べたところ、図6に示す結果が得られた。図6から、活性層への電流注入量を増加させた場合に、両VCSELともに高次モードのレーザ発振が抑制され、基本横モードだけが発振するが、第1の実施形態に係るVCSELでは、従来のVCSELに比べて基本横モードのレーザ発振を開始する電流のしきい値が低くなり、光電変換効率が向上していることがわかる。

【0053】本実施形態では、半導体柱sを形成するのに下部 n 型DBR層までエッチングした場合を説明したが、上部 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ スペーサー層まででエッチングをストップする構造、もしくは、基板まででエッチングする構造も可能である。

【0054】また、本実施形態では、活性層に AlGaAs を用いた例を説明したが、 GaAs もしくは InGaAs を用いた近赤外用、 InGaP もしくは AlGaInP を用いた赤色用のVCSELにも適用できる。更には、 GaN 系や ZnSe 系等の青色もしくは紫外線用のVCSEL、 InGaAsP 系等の $1.3 \sim 1.5 \mu\text{m}$ 帯用のVCSELにも利用できることはもちろんである。

(第2の実施形態) 本発明の第2の実施形態に係る面発光型半導体レーザの構造を図7に示す。本実施形態では、 p 型コンタクト層上にアロイ化により膜厚 10 nm の Ti と膜厚 200 nm の Au 薄膜からなる金属電極が p 側電極として形成されている。また、積層体をポスト型にエッチングはせずに、上部DBR層の一部にプロトンを打ち込み高抵抗化させ電流狭窄構造をとっている。以下、本実施形態に係る面発光型半導体レーザの構造を製造方法に従って説明する。

【0055】第1の実施形態と同様に、 n 型 GaAs 基板51上に、 n 型 GaAs バッファ層52、下部 n 型DBR層53、活性層領域54、上部 p 型DBR層56を順次積層する。上部電極60とのコンタクト性を改善するために、コンタクト層として p 型 GaAs 層72

を積層してもよい。

【0056】次に、得られた積層体をポスト型にエッチングはせずに、マスクパターンを形成し、その後、基板上部からプロトンを打ち込むことにより、p型DBR層56の一部を高抵抗化させることによって高抵抗化領域71を形成し、マスクパターンによって電流狭窄アパーチャ径3.5 μ mの電流狭窄構造を作製する。

【0057】続いて、フォトリソ工程を用いてポスト上部中央にレジストパターンを形成し、その上方からEB蒸着機を用いて、Tiを10nm、Auを200nmの厚さで蒸着し、p側電極60を形成する。その後、さらにアニール温度370℃で10分間のアニールを行ってもよい。p側電極60の下の上部多層膜反射鏡の反射率は75%であった。

【0058】最後に、アセトンを用いて、レジストパターンを除去する。この時、レジストパターン上のTiとAuは取り除かれ、レジストパターンによって4.8 μ mの上部電極アパーチャ径を持ったレーザの出射領域である開口部61が形成され、図7に示すVCSELが完成する。上部電極下の上部多層膜反射鏡の反射率は、最後のアニール条件に依存して変化し、その径は電流狭窄アパーチャ径よりも数%から数十%大きいものである。また、図示していないが、基板裏面には、n側電極としてAu/Gaが蒸着されている。

【0059】また、出射口中央とプロトンを打ち込みで形成した電流狭窄部中央は光学軸にできるだけ一致することが望ましい。

【0060】第1及び第2の実施形態では、電流狭窄アパーチャ径を3.5 μ mとしたが、電流狭窄アパーチャ径は、3.5 μ mに限定されるわけではなく、3~20 μ mの範囲であればよい。

【0061】第1及び第2の実施形態では、上部電極アパーチャ径を4.8 μ mとしたが、上部電極アパーチャ径は、高次横モードの損失と基本横モードの損失との差を基本横モードの損失で除算した値が最大となるように、即ち、基本横モードの損失が最小となるように選択することが好ましい。

【0062】第1及び第2の実施形態では、Tiの膜厚を10nm、Auの膜厚を200nmとしたが、Tiの膜厚は10nmに限定されるわけではなく、2~100nmの間であればよく、同様にAuの膜厚も100~1000nmの間であればよい。

【0063】第1及び第2の実施形態では、アロイ化は370℃10分の条件で行ったが、アニール温度は250℃~500℃、望ましくは300℃~400℃の範囲で材料に応じて適宜選択され、アニール時間は10分に限定されるわけではなく、0~30分の間でアニール温度を勘案して適宜選択される。

【0064】第1及び第2の実施形態では、蒸着はEB蒸着としたが、これに限定されるものではなく、抵抗加

熱法、スパッタリング法、マグネトロンスパッタリング法、CVD法を用いてもよい。また、アニール方法として通常の電気炉を用いた熱アニールに限定されるものではなく、赤外線によるフラッシュアニールやレーザアニール、高周波加熱、電子ビームによるアニール、ランプ加熱によるアニールにより、同等の効果を得ることも可能である。

【0065】第1及び第2の実施形態では、電極材料としてTiとAu用いたが、この他に、Pt、Ge、Zn、Ni、In、W、Cr、Pd、Mo、Ag、Al、Te、Siを用いることが可能であり、同時に三種以上の金属を用いて電極を形成してもよい。

【0066】第1及び第2の実施形態では、下部電極をn型とし、上部電極をp型としたが、下部電極をp型とし、上部電極をn型とすることもできる。いずれをn型あるいはp型としても、本発明の効果を発現するものである。

【0067】尚、第1の実施形態として、アニール温度370℃でアロイ化されたAu電極と選択酸化型VCSELを組み合わせた例を、第2の実施形態として、Au/Ti電極とプロトンインプラ型VCSELを組み合わせた例を、それぞれ説明したが、電極形成方法とVCSEL構造はどの組み合わせを用いても、同様の効果を得ることができる。

【0068】

【発明の効果】本発明によれば、製造が容易で、高輝度基本横モード光出力を有する面発光型半導体レーザが提供される。これにより、高輝度基本横モード光出力を有するVCSELを安価に製造することができ、プリンタ装置、光磁気ディスク装置等、高輝度の基本横モード光出力を要求する用途にも、VCSELを利用することができる。

【図面の簡単な説明】

【図1】 電流狭窄アパーチャ径一定条件で、出射中心の周辺部の多層膜反射鏡の反射率を変化させた場合の上部電極アパーチャ径、基本横モードの損失、及び高次横モードの損失の関係を示すグラフである。

【図2】 Au/GaAs界面におけるアニールによる白色光の反射強度変化を示すグラフである。

【図3】 Au/u-GaAs界面とAu/Ti/u-GaAs界面における白色光の反射強度変化を示すグラフである。

【図4】 Au/Ti/u-GaAs界面におけるアニールによる白色光の反射強度変化を示すグラフである。

【図5】 (a)~(e)は、本発明の第1の実施形態に係るVCSELの製造工程を順に示す断面図である。

【図6】 本発明の第1の実施形態に係るVCSELおよび従来例のVCSELにおける光出力と注入電流の関係を示すグラフである。

【図7】 本発明の第2の実施形態に係るVCSELの断

面図である。

【図8】従来のVCSELの断面図である。

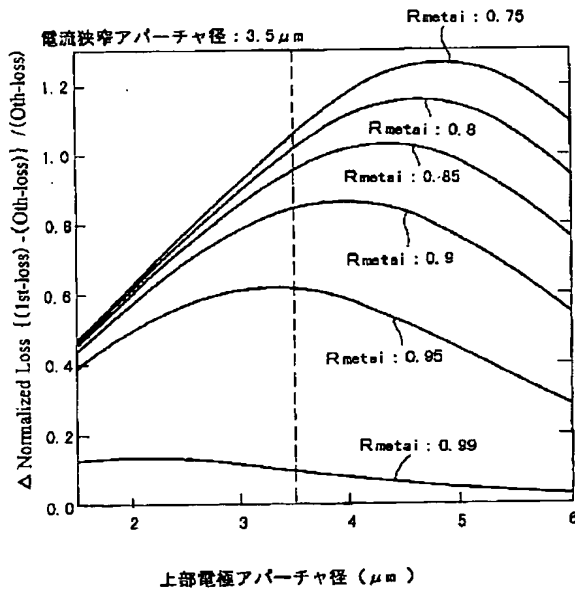
【図9】(a)～(d)は、従来のVCSELの凹状の損失決定素子の製造工程を順に示す断面図である。

【符号の説明】

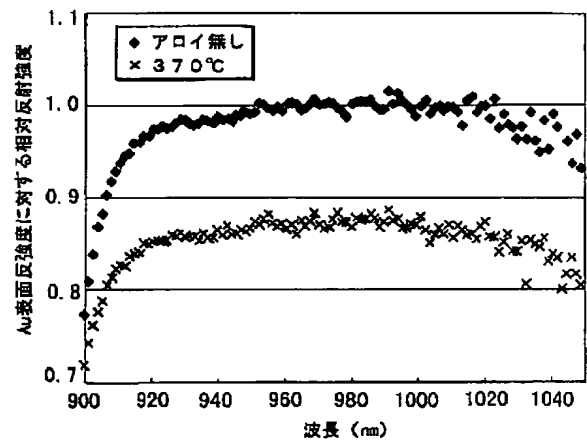
- 5 1 n型GaAs基板
- 5 2 n型GaAsバッファ層
- 5 2 下部n型DBR層5 3
- 5 4 活性層領域
- 5 5 p型AlAs層
- 5 6 上部p型DBR層
- 5 7 酸化領域
- 5 8 非酸化領域
- R レジストマスク
- s 半導体柱 (ポスト)
- 5 6 SiN膜
- 5 7 p側電極

- T レジストパターン
- 6 1 開口部
- 7 1 高抵抗化領域
- 7 2 p型GaAsコンタクト層
- 1 7 1 導電型半導体基板
- 1 7 2 下部DBR層
- 1 7 3 活性層領域
- 1 7 4 上部DBR層
- 1 7 5 低反射率ゾーン
- 1 7 6 損失決定素子
- 1 7 7、1 7 8 電極
- 1 7 9 光軸
- 1 8 1 湾曲表面を形成しようとする層
- 1 8 2 フォトレジスト
- 1 8 3 フォトレジスト柱
- 1 8 4 凸状の湾曲面を有する形状の層
- 1 8 5 凸状の湾曲面を有する構造

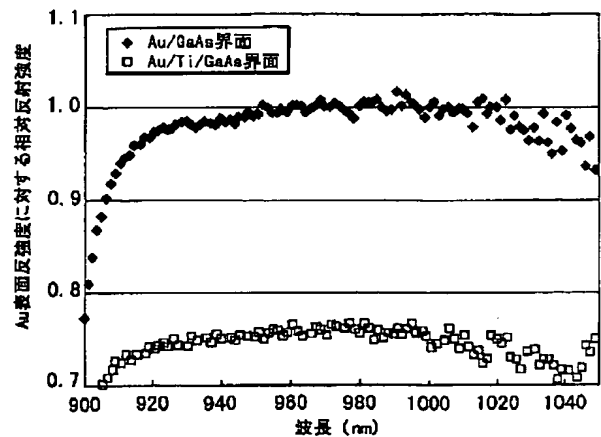
【図1】



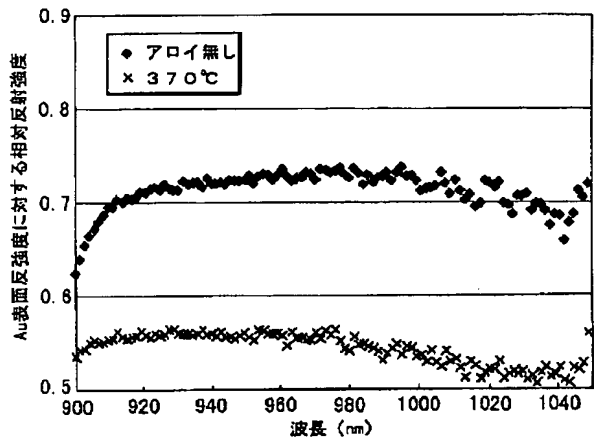
【図2】



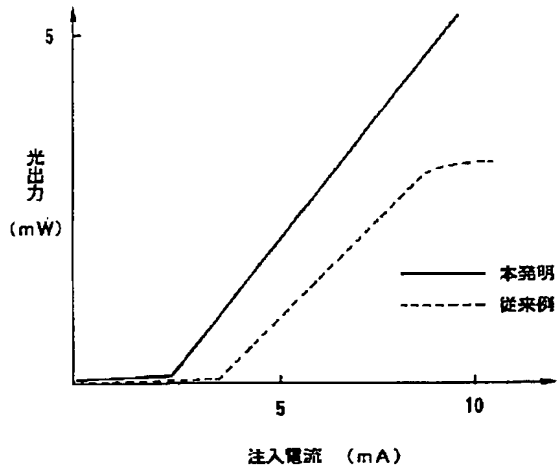
【図3】



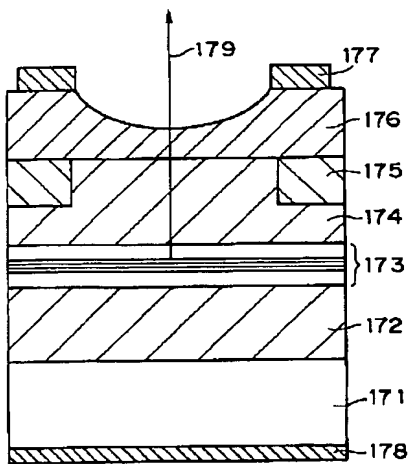
【図 4】



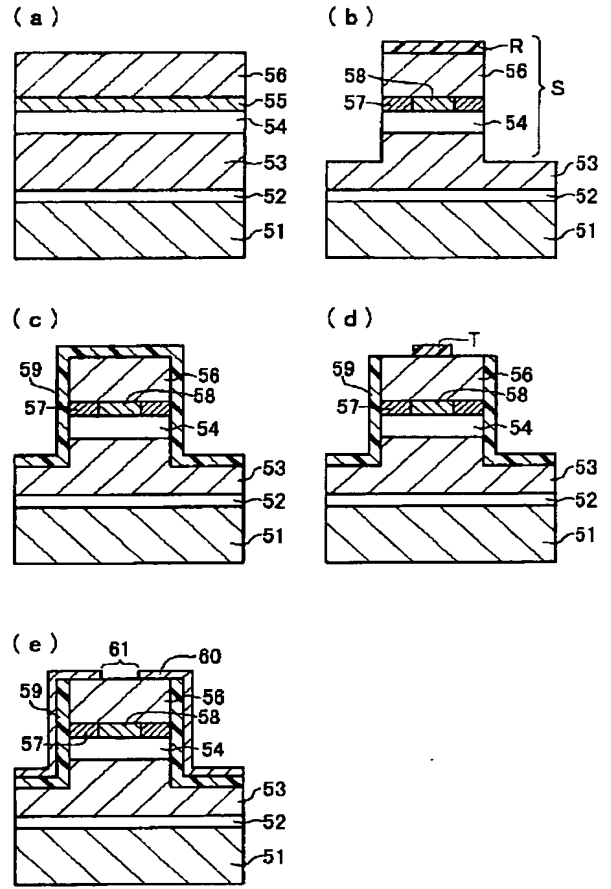
【図 6】



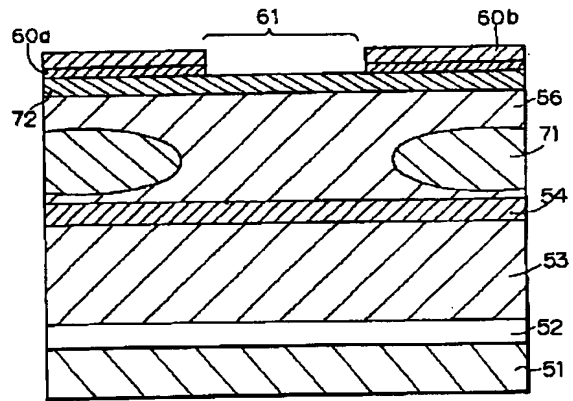
【図 8】



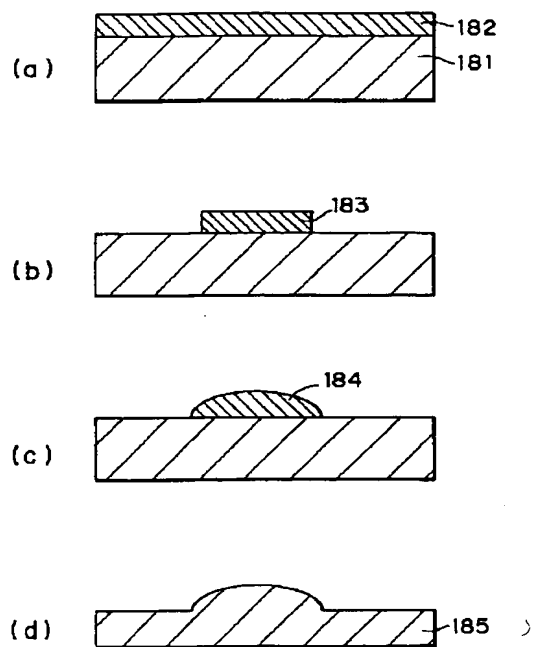
【図 5】



【図 7】



【図9】



フロントページの続き

(72) 発明者 乙間 広己
 神奈川県足柄上郡中井町境430 グリーン
 テクなかい 富士ゼロックス株式会社内

Fターム(参考) 5F073 AA74 AB17 CA02 CA04 CA05
 CA06 CA07 CA12 CA14 CA22
 DA05 DA14 DA16 DA27 EA23
 EA24